



# アナログ・デジタル混在並列信号処理

～ADCの誤差の補正技術や煩雑な手続きが不必要なMIMO技術の確立～

## 研究シーズ概要

高速、広帯域の信号処理を行うには、できるだけ同時に並行の信号処理を行う必要があります。この信号処理は、分割が比較的容易なデジタルだけでなく、アナログでも同時・並行の信号処理の利点を活用する方法が知られています。アナログ・デジタル変換器(以後ADC)を複数用いて高速動作を実現するタイムインターリーブ方式ADCや無線LANなど、複数のアンテナを用いて伝送容量を増やす「MIMO技術」がその代表的な例です。

ただしその一方で、タイムインターリーブ方式ADCは、タイミングスキューと言うクロックのタイミング誤差の影響を強く受けるデメリットもあります。また、MIMO方式は通信開始前に煩雑な手順を踏む必要があるため、ハードウェアの増加に見合うほど実効データレートは高くないという批判もあります。本研究は、信号の統計的な性質やアナログ回路の誤差の特徴を踏まえたデジタル信号処理により、ADCの誤差の補正技術や煩雑な手続きを必要としないMIMO技術の実現を目指しています。

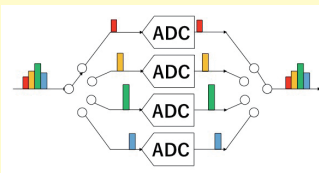


図1：タイムインターリーブ方式ADC  
複数のADCがタイミングをずらして動作し全体として高速動作を実現する

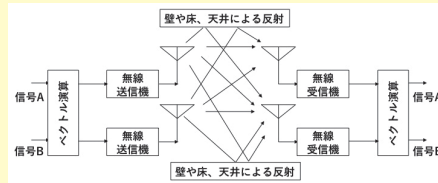


図2：MIMO技術の概念図  
従来は通信品質の劣化要因と思われていた複数経路の存在を活用し、より多くの情報伝達を可能にした。

## 利点・特長・成果

アナログ・デジタル変換器(以後ADC)の誤差補正には、明示的に補正中であることを示して入力を受け付けられない時間を設ける「フォアグランド方式」と、アナログ信号を受け入れデジタル出力の統計的な性質を利用して誤差補正を継続する「バックグランド方式」があります。基本的には過去に発表したバックグランド方式補正技術[1][2]と類似の方法で、複数アンテナと並列アナログ信号処理、デジタルアシスト技術の組み合わせを考えていきます。

- [1] J. Matsuno, T. Yamaji, M. Furuta, and T. Itakura, "All-Digital Background Calibration Technique for Time-Interleaved ADC Using Pseudo Aliasing Signal", IEEE Trans. on Circuits and Systems-I, Vol. 60, No. 5, May 2013.
- [2] T. Yamaji, J. Matsuno, H. Aoyama, M. Furuta, T. Takida, I. Akita, A. Kuroda, T. Itakura, N. Itoh, "A 6-phase harmonic rejection down-converter with digital assist," Symposium on VLSI Circuits digest of technical papers, Jun. 2010

## その他の研究シーズ

■並列数と誤差許容量の解析的検討

## 特許

(以下いずれも権利者は(株)東芝です。)

- USP 8,659,454 Time error estimating device, error correction device and A/D converter
- USP 7,414,468 Amplifier, filter using the same, and radio communication device

## キーワード

アナログ回路、アナログ信号処理、アナログ・デジタル変換器、デジタル・アナログ変換器、集積回路、並列信号処理、無線通信、MIMO、デジタルアシスト誤差補正

## 本技術に関し、対応可能な連携形態(サービス)

知財活用	否	技術相談	可	共同研究	否
施設機器の利用	否	研究者の派遣	可	技術シーズ 水平展開	可

## 開発段階

5	第5段階 製品・サービス化(試売/量販)段階	2	第2段階 試作(ラボ実験レベル)段階
4	第4段階 ユーザー試用段階	1	第1段階 基礎研究・構想・設計段階
3	第3段階 試作(実証レベル)段階		

## SDGsの目標

9 産業と技術革新の基盤をつくろう

